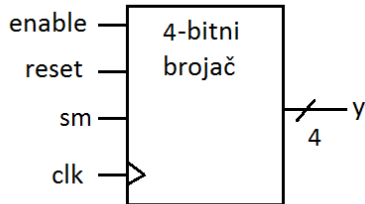


Zadatak1. Napisati VHDL kod (entitet i arhitekturu) sinhronog **4-bitnog** brojača, sa ulazima za asinhrono resetovanje brojača, ulazom za dozvolu brojanja i ulazom **sm** za smer brojanja (kada je **sm='1'** brojač broji naviše, a kada je **sm='0'** brojač broji naniže). Promena stanja brojača se vrši na rastućoj ivici takt signala. Dovođenjem reset signala, izlaz y se postavlja u stanje **y<="0000"**.



REŠENJE:

entity Brojac4bit is

port(

 enable: in STD_LOGIC;

 reset: in STD_LOGIC;

 sm: in STD_LOGIC;

 clk: in STD_LOGIC;

 y: out STD_LOGIC_VECTOR(3 downto 0));

end entity Brojac4bit;

architecture Brojac4bitARCH of Brojac4bit is

 Broj: STD_LOGIC_VECTOR(3 downto 0);

Begin

Process (clk)

Begin

If reset='1' then Broj<="0000";

Else if clk'event and clk='1' then

If enable='1' then

If sm='0' then Broj<=Broj-1;

Else Broj<=Broj+1;

End if;

End if;

End if;

End process;

y<=Broj;

end architecture Brojac4bitARCH;

ZADATAK ZA VEZBU. Napisati VHDL kod (entitet i arhitekturu) sinhronog **8-bitnog** brojača, sa ulazima za asinhrono resetovanje brojača, ulazom za dozvolu brojanja i ulazom **sm** za smer brojanja (kada je **sm='1'** brojač broji naviše, a kada je **sm='0'** brojač broji naniže). Promena stanja brojača se vrši na rastućoj ivici takt signala. Dovođenjem reset signala, izlaz y se postavlja u stanje **y<="1111111"**.

